

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07282587 A**(43) Date of publication of application: **27.10.95**

(51) Int. Cl.

G11C 15/04
G11C 15/00
(21) Application number: **06068315**(22) Date of filing: **06.04.94**(71) Applicant: **HITACHI LTD HITACHI VLSI ENG CORP**
 (72) Inventor: **TACHIBANA MASARU**
HIGUCHI HISAYUKI
SHINPO TOSHINOBU
NAKAGOME YOSHINOBU

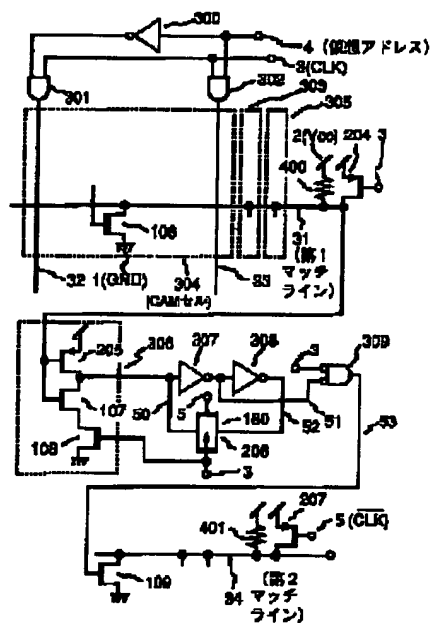
(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To attain the high speed of the cache memory system of a CMOS microprocessor by embodying a fast TLB circuit using a CAM circuit capable of conducting a high frequency

CONSTITUTION: Match lines of the CAM circuit are hierarchized and the signal of the match line 31 of a first hierarchy is stored in latch circuits 306, 307, 308. The match line 34 of a second hierarchy is discharged in the period of the precharge of the match line 31 of the first hierarchy by using the signal 51 of latch circuits 306, 307, 308. Moreover, the match line 34 of the second hierarchy is precharged in the period of the discharge of the match line 31 of the first hierarchy. Thus, a high speed cycle is attained because the starting of the precharge of the match line 31 of the first hierarchy is not need to be delayed until the discharge of the match line 34 of the second hierarchy is completed.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-282587

(43)公開日 平成7年(1995)10月27日

(51)Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C	15/04	A		
	15/00	B		

審査請求 未請求 請求項の数 3 O L (全 18 頁)

(21)出願番号 特願平6-68315

(22)出願日 平成6年(1994)4月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 橋 大

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

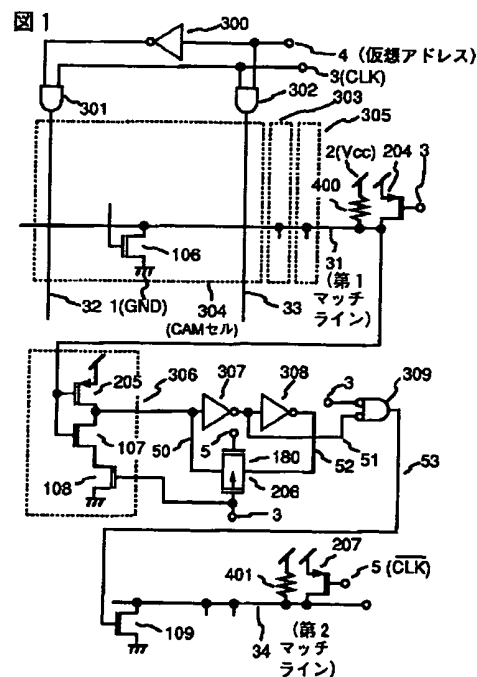
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】高周波動作可能なCAM回路を用いた高速TLB回路を実現し、CMOSマイクロプロセッサのキャッシュメモリシステムを高速化する。

【構成】CAM回路のマッチ線を階層化し、第一階層のマッチ線31の信号をラッチ回路306、307、308に記憶する。ラッチ回路306、307、308の信号51を用いて、第一階層マッチ線31のプリチャージの期間に、第二の階層マッチ線34を放電する。また、第一階層マッチ線31の放電の期間に第二階層マッチ線34をプリチャージする。

【効果】第一階層マッチ線31のプリチャージの開始を、第二の階層マッチ線34の放電が終了するまで遅らせる必要がなく、高速サイクルが達成される。



【特許請求の範囲】

【請求項 1】連想メモリであって、第 1 階層のマッチ線と第 2 階層のマッチ線あるいは第 3 階層以上複数階層のマッチ線および第 N 階層のマッチ線の信号を第 (N+1) の階層のマッチ線に伝達する第 N のゲート回路を具備し、上記第 1 階層のマッチ線には比較データ数より少ない数の連想メモリセルが接続され、第 N のゲート回路のうち少なくとも一つは第 1 のラッチ回路として働き、

上記第 1 のラッチ回路は、上記第 N 階層のマッチ線のブリチャージの期間および第 (N+1) 階層のマッチ線が放電される期間に上記第 N 階層のマッチ線をブリチャージする以前の情報を記憶し、上記第 N 階層のマッチ線が放電される期間に上記第 N 階層のマッチ線の信号に応答して上記第 1 のラッチ回路の情報が変化することを特徴とする半導体集積回路。

【請求項 2】請求項 1 において、上記第 N 階層のマッチ線は第 1 のクロック信号でブリチャージし、上記第 (N+1) 階層のマッチ線は第 2 のクロック信号でブリチャージし、上記第 1 のラッチ回路は第 1 のフリップフロップと、第 1 のデータ取り込み回路および第 1 の伝達回路よりなり、上記第 1 のフリップフロップは上記第 N 階層のマッチ線の信号を記憶し、上記第 1 のデータ取り込み回路は上記第 N 階層のマッチ線の放電の期間に上記第 1 のフリップフロップに信号を取り込み、上記第 1 の伝達回路は上記第 N 階層のマッチ線の信号を第 (N+1) 階層のマッチ線に伝達し、上記第 1 のデータ取り込み回路は上記第 1 のクロック信号で制御され、上記第 1 の伝達回路は上記第 2 のクロック信号あるいは上記第 2 のクロック信号と逆相の信号で制御される半導体集積回路。

【請求項 3】連想メモリであって、複数エントリのマッチ線の一致／不一致信号を検出する回路と、上記複数エントリのマッチ線の一致／不一致信号の OR あるいは NOR 信号を発生する回路を具備し、上記複数エントリのマッチ線の上記一致／不一致信号の OR あるいは NOR 信号を発生する回路は、第 1 の CMOS 回路と第 1 の遅延回路と第 1 のトランジスタと第 1 の NOR 回路および第 2 のラッチ回路を含み、上記第 1 の CMOS 回路の出力信号を上記第 1 の遅延回路に入力し、上記第 1 の遅延回路は上記第 1 の CMOS 回路の出力信号から所定の時間遅れた上記第 1 の CMOS 回路の出力信号と同相の遅延信号を出力し、上記第 1 のトランジスタのソース電極は電源端子に接続し、上記第 1 のトランジスタのドレイン電極は上記第 1 の CMOS 回路の出力に接続し、上記第 1 のトランジスタのゲート電極は上記第 1 の遅延回路の遅延信号に接続し、上記第 1 の CMOS 回路の出力信号を上記第 1 の NOR 回路に入力し、上記第 2 のラッチ回路で上記第 1 の NOR 回路の出力信号を記憶したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路、特に、高速 CMOS 回路、特に高速 CMOS 連想メモリ回路に関する。

【0002】

【従来の技術】CMOS マイクロプロセッサの分野では、加工技術の微細化および回路的な工夫により動作周波数および集積度の向上がすすめられており、既に動作周波数が 100MHz から 200MHz に達する CMOS マイクロプロセッサが発表されている。これらの高速マイクロプロセッサの最大性能を引き出すためには、演算速度に見合った命令およびデータのメモリバンド幅を確保する必要があり、キャッシュメモリシステムによっていかに実効のメモリバンド幅を大きくできるかが、マイクロプロセッサの性能向上の鍵になっている。

【0003】また、高速マイクロプロセッサ上で実行されるプログラムは一般に仮想アドレスで記述されるので、プログラム実行時にキャッシュメモリをアクセスするためには、仮想アドレス (VA) から物理アドレス (PA) への変換が必要となる。このため高速なキャッシュメモリシステムの実現のためには、仮想アドレスから物理アドレスへの変換の高速化が重要となる。この仮想アドレスから物理アドレスへの変換の高速化のためにアドレス交換バッファ (以下 TLB) と呼ばれる機能メモリが一般に使われている。TLB は通常、キャッシュメモリのように大容量であることは要求されないが、高いヒット率を要求されるので連想メモリ (以下 CAM) によりフルアソシアティブ方式の高速 TLB が実現できれば、その効果は大きい。このため、CAM による高速 TLB の実現が試みられている。

【0004】このような TLB の例は、例えば、電子情報通信学会技術研究報告 アイ シー ディー 92-57 1992 年 ページ 29-36 (ICD92-571992, pp. 29-36) の回路あるいは、特開平 5-127872 号公報の回路、プロシーディングス 1991 シー アイ シー シー ページ 10.2.1-10.2.4 (Proc. CICC 1991, pp. 10.2.1-10.2.4) およびページ 14.3.1-10.3.4 (Proc. CICC 1991, pp. 14.3.1-14.3.4) の回路が知られている。これら従来の TLB 回路では、ブリチャージされたマッチ線を連想メモリ (CAM) セルで放電し、マッチ線を階層化する回路の工夫で高速な CAM での比較動作を実現していた。

【0005】上では、回路の工夫による TLB の高速化の例を示したが、TLB だけではなく一般の CMOS メモリでも、製造設備への投資の増大を伴わない回路の工夫による高速化が強く望まれている。

【0006】このような回路の工夫による高速化として、同期回路を用いたメモリのアクセス時間の短縮とウエーブパイプライン動作の実現が提案されている。例え

ば、同期式の高速CMOS SRAM回路として、米国特許第4,985,643号の回路あるいは、アイイーイージャーナルオブソリッドステイトサーキットボリューム26ナンバー111991年ページ1577-1585 (IEEE Journal of Solid-State Circuits, Vol.26, No.11, November 1991, pp1577-1585) の回路が知られている。この従来のセルフリセット回路では、回路をパルス動作させることで、通常のCMOS回路に比べ入力容量を1/2程度とし、回路の高速化を達成し、実効チャネル長0.5 μm のCMOSデバイスでアクセス時間約4 ns、(データの読み出しおよび書き込みの) サイクル時間2 nsの同期式SRAMが実現されていた。さらに、従来のセルフリセット回路は、出力信号のリセットのためのパルス(リセットパルス)を出力信号から作るため、信号の変化した回路にのみリセットパルスが供給され、外部から一括でクロックを供給するダイナミック回路に比べ無効なクロックでの電力消費がなく低電力化も達成されていた。

【0007】また、セルフリセット回路では、信号はパルスとして伝達され信号のパルス幅は基準クロックと無関係に一定に設定されるので、信号がリセットされる時刻は基準クロックで規定できない。このため、外部に読み出した信号を取り出すためには信号がリセットされる以前にラッチ回路にデータを取り込む必要があり、従来回路では、2組のセルフリセット回路によるバスドライバを用意し、これにセンスアンプ出力を加え一つのデータに対し(二つのバスのどちらかにパルスが出力されるという意味での) 相補なバス信号を送り、これらのバス信号によりデータをラッチに取り込んでいた。つまり、一つのデータに対し二つのバス信号を送ることで、ラッチがデータを記憶している状態、ラッチに0を書き込む状態、ラッチに1を書き込む状態の三つの状態を区別し、二つのバス信号がともにバスドライバの待機時のレベルにある状態をラッチのデータ記憶の状態に割り当て、どちらかのバス信号にパルスが出力される状態をそれぞれ0を書き込む状態、1を書き込む状態に割り当てていた。

【0008】

【発明が解決しようとする課題】従来のTLB回路では、マッチ線をブリチャージし、仮想アドレス(VA)とCAMセルのデータが不一致のマッチ線をCAMセルで放電するダイナミック動作を採用することおよびマッチ線を階層化することで、VAの入力から、VAとCAMセルのデータを比較しVAと同じデータを記憶しているエントリを検出するまでの遅延時間は、短縮されているが、マッチ線が放電されてエントリに一致(あるいは不一致)の信号が得られるまで次のブリチャージ動作を始められなかった。このため仮想アドレス入力からエントリの一致信号までの遅延時間とマッチ線のブリチャージに必要な時間の和より短いサイクル時間で次の仮想ア

ドレスを入力することができなかった。つまり従来回路には、今後CMOSマイクロプロセッサの動作周波数がさらに向上しマイクロプロセッサのサイクル時間がエントリの一致検出の遅延時間とブリチャージに必要な時間の和より小さくなった場合、CAMで構成されたTLBを使って毎サイクル、アドレス変換することが困難となるという問題がある。

【0009】本発明の第一の目的は、上記の問題を解決するために、高周波動作可能な、一致検出動作をパイプライン化したCAM回路を提供することにある。

【0010】本発明の第二の目的は、上記第一の目的を達成するために、上記のパイプライン動作するCAM回路に好適なマッチ線信号のラッチ回路とマッチ線のブリチャージ回路を提供することにある。さらに、上記第一、第二の目的を達成するために、高速CAM回路に好適なCAMセル回路を提供し、また、上記第一の目的を達成するために、パイプライン動作するヒット信号の発生回路を提供する。

【0011】一方、従来のセルフリセット回路によるウェーブパイプラインSRAMでは、信号バス間の遅延時間のバラツキを小さく抑えることが可能なデコード回路にセルフリセット回路を使ってアドレスデコードの遅延時間を短縮し、バスドライバ等にセルフリセット回路を用いて高速化を達成していたが、CAMのようなダイナミック動作をするメモリへのセルフリセット回路の適用や、TLBのヒット/ミス判定回路へのセルフリセット回路の適用は検討されていない。

【0012】従来回路では、一つのデータに対し(二つのバスのどちらかにパルスが出力されるという意味での) 相補なバス信号を送ることで、セルフリセット回路の信号をラッチに取り込み、データを記憶する特性を実現していたが、メモリの読み出し信号と異なりTLBでは、ヒット/ミス判定回路等のように相補信号を作ることが難しい場合がある。例えば、ヒット信号を各エントリの一致信号のNOR論理とし、低レベルのパルス信号が出力されるか高レベルが出力されたままのどちらかだとすると、その相補な信号はOR信号となるが、高レベルの信号が出力されたままのセルフリセット回路のNOR出力から、低レベルのパルス信号が出力されるOR信号を作ることとはできない。OR信号を得るためには、次の数1(ここでは/は論理否定を表す記号、A、Bは論理信号とする)から分かるように、NOR回路に入力される信号と相補な信号のNAND論理によらなければならない。

【0013】

$$\text{【数1】 } (A+B) = \neg / (A+B) = \neg / (\neg A \cdot \neg B)$$

これは、回路規模、消費電力、遅延時間の増大等を招き、セルフリセット回路の適用を実際上不可能としてしまう。つまり、従来回路には相補なバス信号を得ることが難しい場合にセルフリセット回路を使うことができ

ないという問題がある。

【0014】本発明の第三の目的は、セルフリセット回路を効果的に適用した高速CAM回路を提供することにある。すなわち、CAMの一致検出回路のような相補なパルス信号を得ることが難しい回路の場合にもセルフリセット回路を適用し高速化するために、単一のセルフリセット回路出力を記憶できるラッチ回路を提供し、セルフリセット回路と組合せることで、高速なヒット判定回路を提供する。

【0015】

【課題を解決するための手段】上記第一、第二の目的を達成するために、本発明の一実施形態によれば、連想メモリ（以下CAM）部のマッチ線を階層化し（31、34）、第1階層（以下、階層を省略する。）マッチ線31の信号をラッチ回路306、307、308に取り込み、第1マッチ線31のプリチャージの期間および第2マッチ線34の放電の期間（クロック3が低レベルの期間）、ラッチ回路306、307、308の信号51を保持する。第1マッチ線のプリチャージの期間に第1マッチ線のラッチ信号51を用いて第2階層マッチ線34

を放電する（図1、図3参照）。
【0016】また、CAMセルを、RAMセル（NMOS 100から103、PMOS 200、201）とデータ線32、33の信号とRAMセルの記憶情報のEOR信号をつくるためのCMOSバストランジスタ104、105、202、203およびEOR信号をマッチ線31に伝達するNMOSTランジスタ106で構成し、隣接CAMセルでマッチ線31を放電するNMOSTランジスタ106のドレイン接合を共有する（図4参照）。

【0017】さらに、ヒット信号を発生するためのNOR回路（NMOS 112、PMOS 210）の入力信号を各エントリの一致、不一致の信号を記憶するラッチ回路310、311、312の信号57とし、マッチ線34の充電の期間にエントリの一致、不一致の信号のNOR信号を作る共通ドレイン線59を放電する（図2参照）。

【0018】上記第三の目的を達成するために、本発明の一実施形態は、各エントリの一致信号57からヒット／ミス信号を作るNOR回路をセルフリセット回路250、251、150、153、370から372の回路、および151、450、252、253、154、155、374の回路を指す。以下、250、251、150、153、370から372の回路のように出力信号58の変化を検出して所定の時間が経過した後に、58の電位を待機時の電位に戻すMOSTランジスタ153を駆動する回路を、自身で出力をリセットするという意味でセルフリセット回路と呼ぶこととする。）とし、最終段の回路をクロック信号3によりサイクル毎にリセット（あるいはセット）されるラッチ回路390と

する。最終段のラッチ回路390は、データの取り込みのNMOSTランジスタ156と、フリップフロップ回路375、158、クロック信号3によりフリップフロップ回路のデータ85をリセットする回路254、159で構成する（図2、図8参照）。

【0019】上記第三の目的を達成するために、本発明の他の実施形態は、各エントリの一致信号57からヒット／ミス信号を作るNOR回路をセルフリセット回路とし、最終段の回路をクロック信号3によりサイクル毎にリセット（あるいはセット、プリチャージ）されるラッチ回路（図8）とする。最終段のラッチ回路（図8）は、データの取り込みのNMOSTランジスタ156と、フリップフロップ回路375、158、クロック信号3およびフリップフロップ回路のデータ85の遅延信号62によりフリップフロップ回路のデータ85をリセットする回路254、260、159で構成する。フリップフロップ回路のデータ85をリセットする時刻は、クロック信号3が変化する時刻かフリップフロップ回路のデータ85の遅延信号62が変化する時刻の遅いほうの時刻とする（図8、図10参照）。

【0020】上記第三の目的を達成するために、本発明の他の実施形態は、セルフリセット回路の出力85を記憶するラッチ回路261、182、183、603、604、184、262を内部クロック90、91で制御し、ラッチ回路（261、182、183、603、604、184、262が、セルフリセット回路出力85にパルスが出力され始める時刻とパルス出力が終わり待機時の電位に戻る時刻の間にトランスベアレントの状態（入力に応答して出力が変化する状態）からラッチの状態（オベイク、入力に依らず出力が保持される状態）となるよう内部クロック90、91を設定する。内部のクロック信号90、91は基準クロック信号3、5からセルフリセット回路出力85の遅延時間と同じ電源電圧、温度、製造バラツキ依存性を持つ遅延回路605で発生する（図11、図12参照）。

【0021】

【作用】本発明の代表的な実施形態（図1）では、第1マッチ線31をプリチャージする期間に、第2マッチ線34を放電することができるので、最小のサイクル時間は、仮想アドレス（VA）入力から第1マッチ線31の放電とラッチ回路306、307、308までの遅延時間および第1マッチ線31のプリチャージの時間の和となる。つまり、従来のように第2マッチ線34の放電の遅延時間が最小のサイクル時間に含まれないのでより高い周波数での動作が可能になる。

【0022】本発明の代表的な実施形態（図4）では、CMOSバストランジスタ104、105、202、203でマッチ線31を放電するNMOSTランジスタ106を駆動することで、マッチ線31を放電するNMOSTランジスタ106のゲート電位の振幅を電源電圧2とで

きる。また隣接するCAMセルでマッチ線31を放電するNMOSTランジスタ106のドレイン接合を共有することでマッチ線31の接合容量を低減できる。

【0023】本発明の代表的な実施形態(図2)では、マッチ線34の充電の期間にエントリの一致、不一致の信号のNOR信号を作る共通ドレイン線59を放電し、ヒット信号を発生できるので、エントリの一致、不一致の信号のNOR信号を作る共通ドレイン線59の放電の時定数が最小サイクル時間に含まれず、高い周波数での動作が可能になる。

【0024】本発明の代表的な実施形態(図8)では、各エントリの一致信号57からヒット/ミス信号を作るNOR回路をセルフリセット回路とするので、またCAMセルの記憶データとVAが一致するエントリ(行)は全エントリの中で一つしかないので、信号の変化した一回路だけブリチャージのためのPMOS252のゲート容量が充放電され、従来のように共通のクロックでブリチャージするより低電力となる。また、最終段の回路をデータの取り込みのNMOS(156)と、フリップフロップ357、158およびクロック3によりフリップフロップのデータ85をリセットする回路245、159で構成することで、クロック3によりフリップフロップのデータ85をサイクル毎にリセットできる。これにより、セルフリセット回路のOR信号出力83にパルスが出力されない場合でも、セルフリセット回路のOR信号出力83にパルスが出力される場合の遅延時間以上遅い時刻では、フリップフロップのデータ85が正しいことが保証される。つまり、セルフリセット回路のOR信号出力83と相補な信号を用いなくとも、セルフリセット回路のOR信号出力83のデータをラッチ回路に取り込むことが可能となり、クロック信号に同期してヒット/ミス信号を取り出すことができる。

【0025】本発明の他の実施形態(図10)では、各エントリの一致信号57からヒット/ミス信号を作るNOR回路をセルフリセット回路とすることで、低電力化が達成される。最終段のラッチ回路をリセットする時刻は、クロック信号3が変化する時刻かフリップフロップ回路のデータ85の遅延信号62が変化する時刻の遅いほうの時刻とすることで、ラッチ回路をリセットするときも貫通電流が流れないようにできる。

【0026】本発明の他の実施形態(図11)では、セルフリセット回路の出力85を記憶するラッチ回路261、182、183、603、604、184、262をセルフリセット回路出力85の遅延と同じ電源電圧、温度、製造バラツキ依存性を持つ遅延回路605で発生するクロック90、91で制御し、ラッチ回路261、182、183、603、604、184、262を、セルフリセット回路出力85にパルスが出力され始める時刻とパルス出力が終わり待機時の電位に戻る時刻の間にトランスペアレントからラッチ(オベイク)の状態と

なるよう設定することで、セルフリセット回路出力85にパルスが出力されるべき時刻の出力85の電位をラッチ回路に取り込むことができる。つまり、セルフリセット出力85と相補なパルスを用いなくとも、セルフリセット出力85にパルスが出力されない場合のデータをラッチ回路に取り込むことが可能となる。

【0027】

【実施例】図1、図2に本発明の連想メモリ(以下、CAMと省略する)回路の一実施例を、図3に動作波形図を示す。

【0028】図1の回路は入力された仮想アドレス信号(以下、VAと表わす)とCAMセルの記憶データを比較してその比較結果をマッチ線34に出力する連想メモリ回路の一部を示している。動作周波数向上のために以下の工夫がなされている。マッチ線はCAMセルが直接接続されCAMセルにより放電される第1階層のマッチ線(以下、第1マッチ線と呼ぶ)31と、放電回路109により放電される第2階層のマッチ線(以下、第2マッチ線と呼ぶ)34とに階層化する。第1マッチ線31が放電され、低レベル(以下、“L”と表わす)となったことを検出しNMOSTランジスタ(以下、NMOSと省略する)109を導通(以下、オンと表わす)にする回路はラッチ回路とし、第1マッチ線31のブリチャージ期間に第2マッチ線34を放電できるようにする。

【0029】図1の回路の動作を図3に沿って説明する。図1の4はVAの1ビットを表わしている。VAが入力された後、クロック信号3(以下、CLK3と表わす)が高レベル(以下、“H”と表わす)になると、データ線32、33の一方が“H”となる。301、302はデータ線32、33のドライバ回路を示し、CLK3とVA4、あるいは4の反転信号とCLK3とのAND信号を32、33に出力する。図3の波形図では、32が“H”となる場合を示している。304はCAMセルを表わし、VA4とCAMセル304の記憶データが不一致の場合にはCAMセル304のNMOS106がオンとなる。303、305も同様に第1マッチ線31に接続されるCAMセルを表わし、第1マッチ線31にはVAの全ビット数の何分の一かのCAMセルが接続されている。第1マッチ線31はCLK3が“L”の期間にPMOS204により“H”にブリチャージされる。CLK3が“H”になることで、204は非導通(以下、オフと表わす)となる。抵抗400はVA4とCAMセルの記憶データが一致している場合に、31の電位を“H”に保つための素子で抵抗値は十分大きく設計する。

【0030】図1の306、307、308、NMOS180、PMOSTランジスタ(以下、PMOSと省略する)206はラッチ回路として働き、CLK3が“H”、クロック信号3の反転信号5(以下、/CLK5と表わす、ここで記号/は否定を表わすものとする)が“L”の場合は、第1マッチ線31の信号に応答し

て、50、51および52の信号が変化する状態（以下、トランスベアレントの状態と表現する）にある。CLK3が“L”から“H”、/CLK5が“H”から“L”に変化する時刻には、31は“H”にプリチャージされているので、CLK3が“H”、/CLK5が“L”になると、NMOS 107、108がオンし、50は“L”、51は“H”になる。

【0031】その後、31に接続されたCAMセルの記憶データとVAにどこか1ビットでも不一致があればNMOS 106か、あるいは31に接続されたCAMセルの106に相当するNMOSがオンとなり、第1マッチ線31は“L”となる。すなわち図3中実線で示した波形が上記説明に対応する。31が“L”となることでPMOS 205がオンし、50は“L”から“H”に変化する。また、51は“L”、52は“H”となる。つまり、31に接続されたCAMセルの記憶データとVAにどこか1ビットでも不一致があれば51は“L”となる。このときCLK3は“H”、/CLK5は“L”なので、NMOS 180、PMOS 206はオフで50の電位の変化を妨げない。

【0032】31に接続されたCAMセルの記憶データとVAがすべて一致していればCAMセル304のNMOS 106と31に接続されたCAMセルの106に相当するNMOSはすべてオフで、抵抗400により31の電位は“H”に保たれる（図3中破線で示した波形がこの場合を示している）。CLK3が“H”でNMOS 108がオンなので50は“L”のまま変化しない。また、51は“H”、52は“L”となる。つまり、31に接続されたCAMセルの記憶データとVAがすべて一致していれば51は“H”となる。

【0033】上の状態からCLK3を“L”に、/CLK5を“H”にし、ラッチ306、307、308の状態を記憶し、31を“H”にプリチャージする動作について説明する。CLK3を“L”に、/CLK5を“H”にすることで、NMOS 180、PMOS 206はオンし307、308はフリップフロップとして働く。また、NMOS 108はオフとなる。CLK3が“L”になることでPMOS 204がオンとなり31は“H”になる。31が“H”になるので、PMOS 205はオフになる。307、308がフリップフロップとして働きPMOS 205、NMOS 108がオフとなることで、50、51の電位は変化しなくなる。31のデータをフリップフロップ307、308に取り込む回路306のPMOS 205は、CLK3が“H”から“L”に、/CLK5が“L”から“H”に変化する過渡状態でオンしている場合があるが、これはプリチャージする以前の31の電位が“L”の場合なので、50の電位は必ず“H”となっており、フリップフロップ307、308の情報が破壊されることはない。ラッチ回路306、307、308、180、206の

特徴は、31のプリチャージ期間に必ず31が“H”となりPMOS 205がオフとなること、CLK3が“H”から“L”に変化する過渡状態でPMOS 205がオンしていてもフリップフロップ307、308の情報が破壊されないことを利用して回路を単純化したことにある。

【0034】CLK3を“H”から“L”に、/CLK5を“L”から“H”に変化させるタイミングについて50が“H”の場合を例に取り説明する。CLK3を“H”から“L”に変化させるタイミングは、31が“L”となり50が“H”、51が“L”、52が“H”となった後であれば、もちろんいつでも構わない。さらに、31のプリチャージに要する時間をインバータ1段分程度とすれば、CLK3が“H”から“L”に変化した後もインバータ1段の遅延時間程度PMOS 205がオンしているので、PMOS 205、206のサイズをインバータ308のNMOSより十分大きく設計することで、51が“L”となった時点で、CLK3を“H”から“L”に変化させてもデータは破壊されなくなる。つまり、CLK3を“L”から“H”とし、51が“L”となった時刻より後はCLK3を“H”から“L”に、/CLK5を“L”から“H”に変化させて次のプリチャージ動作に入ることができる。

【0035】第2マッチ線34の放電について説明する。第2マッチ線34は、CLK3が“L”、/CLK5が“H”の期間に、フリップフロップ307、308の記憶している情報によりNMOS 109で放電される。つまり、CLK3を“L”、/CLK5を“H”として第1マッチ線31をプリチャージする期間に第2マッチ線34は放電される。

【0036】第2マッチ線34には、VAとCAMセルの記憶データを何分割かして比較した結果51を34に伝えるためのNMOS 109と、他の同様の回路の109に相当するNMOSが並列に接続される。34は/CLK5が“L”の期間にPMOS 207でプリチャージされる。CLK3を“L”に、/CLK5を“H”にすることで207はオフになる。抵抗401は図1の抵抗400と同じ働きをする。VAとCAMセルの記憶データにどこか1ビットでも不一致があれば、51か、あるいは第2マッチ線34に接続された他の回路の51に相当する部分が“L”となっているので、CLK3が“L”に、/CLK5が“H”になると、53あるいは53に相当する信号が“H”となる。53あるいは53に相当する信号が“H”になると、109かあるいは109に相当するNMOSがオンとなり、34は“L”になる。つまり、VAとCAMセルの記憶データに不一致があれば34は“L”になる。逆に、VAとCAMセルの記憶データが全て一致していれば34は“H”のまま変化しない。

【0037】以上説明したように、本発明のCAM回路

によれば、第1マッチ線31をプリチャージする期間に第2マッチ線34を放電することができるので、最小動作サイクル時間は、CLK3が“H”になった後データ線32を“H”に駆動するデータ線ドライバ301の遅延時間とCAMセルでデータ線電位と記憶データを比較しNMOS 106がオンするまでの遅延時間およびラッチ回路306, 307, 308 (あるいは306, 307)の遅延時間の和と第1マッチ線31をプリチャージする時間の和になる。つまり、第2マッチ線34の放電の遅延時間が最小動作サイクル時間に含まれないので高い周波数での動作が可能となる。

【0038】図1では回路を単純化し代表的な例を示しているが、ラッチ回路306, 307, 308のデータの取り込み部306をインバータ回路ではなく例えば2入力NAND回路とし、隣接する二つの第1マッチ線の一致、不一致の情報を一つのラッチ回路306, 307, 308に取り込み記憶すること、NMOS 109と109を駆動する2入力NOR回路309を109とCLK5をゲートに加えたNMOSの直列回路に置き換えることなどが可能である。306を2入力NANDとすると、二つの第1マッチ線のどちらか一方が“L”になった場合に50が“H”になるが、どちらか一方のマッチ線が“L”になるということは、VAとCAMセルの記憶データに不一致があるということなので正常な動作は損なわれない。

【0039】また、図1の回路ではラッチ回路を簡単にするためにCLK3が“L”のとき第1マッチ線31をプリチャージし第2マッチ線34を放電し、CLK3が“H”のとき第1マッチ線31を放電し第2マッチ線34をプリチャージする例を示したが、例えば、CLK3が“H”の期間をCLK3が“L”の期間より大きくし、第1マッチ線31のプリチャージ時間を短くしてさらにサイクル時間を小さくするような場合 (すなわち、CLK3のパルスのデューティを50%以外の値とする場合) には、図1の回路ではラッチ回路306, 307, 308にデータが記憶される期間 (CLK3が“L”の期間) が短くなる。そのような場合には、第1マッチ線31の信号を記憶するラッチ回路をマスタスレーブラッチ回路とし、CLK3が“H”から“L”に変化するタイミングでスレーブラッチに情報を送れば、第2マッチ線34の放電に必要な期間、情報をスレーブラッチに記憶することができる。スレーブラッチのデータと第2マッチ線34の放電の期間を決めるクロック信号との論理を図1の309のように構成することで、図1の回路と同様に第2マッチ線34を放電できる。

【0040】次に図2の回路について説明する。図2の回路は、図1のラッチ回路と同様のラッチ回路として働く。図2はVAとCAMセルの記憶データが全て一致した場合に“H”となる56の信号を用いて、物理アドレスPAを記憶しているRAMのワード線を選択し、物理

アドレスを読み出す例を示している。上で説明したように、CLK3を“L”、CLK5を“H”とすると、VAとCAMセルの記憶データが全て一致していれば34は“H”のまま変化せず、VAとCAMセルの記憶データが1ビットでも一致していないと、第2マッチ線34が“L”となる。この34の信号は各エントリ (行) の一致、不一致を表わす。この各エントリ (行) の一致、不一致の信号を用いて、VAとCAMセルの記憶データが全て一致したRAMの行を選択し、仮想アドレスVAに対応する物理アドレスPAを読み出す。このため、34の信号をRAMをアクセスする期間保持する必要がある。CLK3が“L”、CLK5が“H”の状態では、55には34の信号に応答して34の反転信号、56には34と同じ信号が出力される。CLK3が“H”、CLK5が“L”のときは、310, 311, 312と181, 209は図1の回路と同様にラッチ回路として働き、VAとCAMセルの記憶データが一致すると34は“H”なので、56も“H”となり、この56の信号を用いて (例えば別に設けるレジスタに記憶するなどして) RAMのワード線を選択できる (図2はRAMのアクセス時間が、CLK3が“H”、CLK5が“L”の期間より小さい場合の回路を示している)。図2のラッチ回路は図1のラッチ回路とクロック信号の極性が逆になるだけなので詳細な説明は省略する。

【0041】ヒット信号の発生について説明する。VAとCAMセルの記憶データが一致した場合には、上に述べたようにRAMからPAを読み出せるが、VAとCAMセルの記憶データが一致するエントリ (行) が必ずあるとは限らず、全てのエントリ (行) でVAとCAMセルの記憶データが不一致だった場合には、外部の記憶装置をアクセスして仮想アドレスVAに対応する物理アドレスPAを読み出さなければならない。このため、VAとCAMセルの記憶データが一致するエントリ (行) があるのか、あるいは全てのエントリ (行) でVAとCAMセルの記憶データが不一致なのかを判別する信号を発生する必要がある。

【0042】図2の60は、この判別のためのヒット信号と呼ばれる信号を示している。

【0043】PMOS 210は、CLK3が“L”の期間に59のプリチャージのための素子として働く。VAとCAMセルの記憶データが一致した場合、57の電位は“L”になるので、CLK3が“H”、CLK5が“L”となると、58が“H”になり、PMOS 210がオフ、NMOS 112がオンとなり、59は“L”となる。59にはCAMの全てのエントリ (行) のNMOS 112に相当するNMOSが接続され、どの1エントリ (行) でVAとCAMセルの記憶データが一致しても60には“H”の電位が得られる (CAMのエントリの中でVAと一致するエントリがある場合、そ

の一致したエントリ数は通常1である)。この60の“H”の電位が、VAとCAMセルの記憶データが一致するエントリ(行)があること(ヒット)を示す。逆に全てのエントリ(行)でVAとCAMセルの記憶データが不一致の場合には、NMOS 112と他のエントリのNMOS 112に相当するNMOSがオフとなるので、抵抗402により59は“H”に保たれ、60は“L”となる。この60の“L”の電位がVAとCAMセルの記憶データが一致するエントリ(行)がないこと(ミスあるいはミスヒット)を示す。

【0044】また、図2の回路には以下に説明する効果もある。NOR回路の共通ドレイン線59は、CLK3が“H”、/CLK5が“L”の期間に放電されるので、ラッチ回路310、311、312にエントリの一致、不一致の信号を記憶しない場合に最小動作サイクル時間が第2マッチ線34の放電時間と59の放電時間の和程度となるのに比べて、最小動作サイクル時間を59の放電の時定数程度短縮することが可能となる。

【0045】図2には、59にCAMの全てのエントリ(行)のNMOS 112に相当するNMOSを接続した回路例を示したが、59での遅延時間が大きい場合にはマッチ線同様に階層化して構わないこと、図1と同様に階層化した59相当の信号線をバイブライン動作させてもよい。図2の回路の特徴は、第2マッチ線の信号をラッチ回路に記憶し、第2マッチ線のプリチャージの期間にヒット信号を発生する点にある。

【0046】図4は本発明のCAM回路のCAMセルの実施例を示している。NMOS100から103およびPMOS 200、201はRAMセルとして働く。

【0047】30はワード線を、32、33はデータ線を、31は第1マッチ線を示す。

【0048】CAMセルのテスト時、あるいはCAMのミスヒット時にCAMセルの記憶データを書き替える場合の動作を説明する。データを書き込む場合は、図4のCAMセルは、通常のRAMセルと同様に動作させることができる。すなわち、ワード線30を“H”として、特定のワード線を選択し、データ線32、33の一方を“L”とすることで、図4のCAMセルにデータを書き込むことができる。CAMセルのテスト時にCAMセルの記憶データを読み出す場合もワード線30を“H”として、特定のワード線を選択し、データ線に現われる電位差を検出することは通常のRAMセルと同様である。

【0049】CAMとしての比較動作について説明する。図4のCAMセル304にデータ線32を“L”としてデータを書き込んだ後にVAと記憶データを比較するとする。データ線32を“L”としてデータを書き込むので、PMOS 201、202、NMOS 102、105のゲート電位は“L”となっている。このとき、PMOS 200、203、NMOS 100、104のゲート電位は“H”となる。PMOS 202、N

MOS 105のゲート電位は“L”、PMOS 203、NMOS 104のゲート電位は“H”となっているので、PMOS 202、NMOS 104はオン、NMOS 105、PMOS 203はオフの状態となる。比較するVAの1ビットが記憶データと一致していれば、図1の301、302により、データ線32は“L”に、33は“H”に駆動される。PMOS 202、NMOS 104がオンしているので、NMOS 106のゲート電位も“L”となり、NMOS 106はマッチ線31の放電には寄与しない。一方、比較するVAの1ビットが記憶データと一致していなければ、図1の301、302により、データ線32は“H”に、33は“L”に駆動される。PMOS 202、NMOS 104がオンしているので、NMOS 106のゲート電位も“H”となり、NMOS 106によりマッチ線31は“L”に放電される。図1のCAMセル304の記憶データが上の説明とは逆の場合も同様に動作する。

【0050】図4のCAMセルのように、CMOSバストラジスタ(PMOS 202、NMOS 104およびNMOS 105、PMOS 203)でマッチ線31を放電するNMOS 106のゲートを駆動する効果について説明する。高集積化のために、CAMセル304のゲート幅は小さく設計する必要があり、NMOS 106のゲート幅も小さい。このため、NMOS 106に流せる電流は小さく、高速化のためにはマッチ線31の寄生容量を小さくする必要がある。図4のCAMセルでは、隣りあったCAMセルのマッチ線31を放電するNMOS(106および106に相当するNMOS)のドレイン電極の接合を共有できるので、マッチ線31の寄生容量を小さくできる。また、CMOSバストラジスタ(PMOS 202、NMOS 104およびNMOS 105、PMOS 203)でマッチ線31を放電するNMOS 106のゲートを駆動することで、NMOS 106のゲート電位の振幅を電源電圧に等しくでき、NMOSバストラジスタを用いる場合に対してNMOS 106に流れる電流を大きくできる。これらの効果によりマッチ線31の放電に要する時間を短縮でき、高速なCAM動作が達成される。また、NMOS 106のゲート電位の振幅を電源電圧2に等しくすることから微細化により電源電圧が低下しても高速動作を維持できる。

【0051】図4のCAMセルの特徴は、CMOSバストラジスタPMOS 202、NMOS 104およびNMOS 105、PMOS 203でマッチ線31を放電するNMOS 106のゲートを駆動し、NMOS 106のゲート電位の高レベルを電源電圧2に等しくしたこと、隣接するCAMセルのマッチ線31を放電するNMOSのドレイン電極の接合を共有することで、マッチ線31の寄生容量を低減したことである。

【0052】図5の回路は図1のCAM回路のデータ線ドライバ302の一例を示している。信号70はテスト時にCAMセルの記憶データを読み出すための制御信号を表わしている。70を“L”としてCAMに比較動作させる。70を“L”とした場合、2入力NOR回路316はVA4の反転信号を出力し、インバータ回路315は常に“H”を出力する。インバータ回路315の出力によりNMOS116が常にオンの状態にあるので、PMOS213、NMOS115はインバータ回路として働く。PMOS211、212、NMOS113、114は2入力NAND回路として働くので、図5の回路はCLK3とVA4の反転信号のAND論理信号をデータ線33に出力するよう働く（図1の302はCLK3とVA4のAND論理信号を33に出力するがCAM回路の中での基本的な働きは同じである）。

【0053】信号70を“H”としてCAMセルの記憶データを読み出して、CAMセルをテストする場合の動作について説明する。70を“H”にすると、インバータ回路315の出力は“L”となり、NMOS116はオフの状態になる。また、2入力NOR回路316の出力も“L”となり、NMOS114はオフ、PMOS212はオンの状態になるので、PMOS213のゲート電位は“H”になる。PMOS213のゲート電位が“H”になるので、PMOS213はオフの状態になる。NMOS116、PMOS213がオフの状態になるので、データ線33は高インピーダンスの状態となり、RAMセルとして動作させるCAMセルの読み出し電流で、データ線33の電位が変化し、別に設けたセンスアンプで検出することが可能となる。

【0054】図5の回路の特徴は、2入力NOR回路316、インバータ回路315、テストモード信号70によりCAMセルの記憶データを読み出して、CAMセルをテストする場合に、データ線33を高インピーダンスの状態とできるようにしたことである。

【0055】図6は本発明の回路の効果を示している。図6は、図1、図2、図4、図5の回路の各部の遅延時間の内訳（図中の数字、単位はns）と、CLK3およびCLK5が“H”の期間と“L”の期間が等しい場合（デューティ50%、図中のサイクル時間/2はこのことを差している）の本発明の回路と従来回路のサイクル時間の比較を示している。図6の上が本発明の回路、図6の下が従来回路の遅延時間の内訳とサイクル時間を表わしている。従来回路の遅延時間は、第1マッチ線31の信号をラッチ回路に取り込まず第2マッチ線34を放電し、34の信号をラッチ回路に取り込む場合について示している。従来回路の遅延時間の内訳は、本発明の回路に相当する部分のインバータ回路、論理回路および信号の記号で示している。従来回路では第2マッチ線34の信号を保持するラッチ回路のクロック信号の極性が図2の回路と逆になるが、遅延時間の比較なので図2の

記号をそのまま用いて示している。

【0056】本発明の回路では、ラッチ回路を構成するためのインバータ回路307の遅延時間およびラッチ回路の信号51をCLK3に同期して第2マッチ線34に伝達するための2入力NOR回路309の遅延時間だけ、第2マッチ線34を放電するまでの遅延時間が大きくなる。しかし、従来回路ではCLK3が“H”の期間に第2マッチ線34を放電し、34の信号をラッチ回路に取り込まなければならず、サイクル時間の1/2の時間は1.84nsと大きい。一方、本発明の回路では、CLK3が“H”の期間に第1マッチ線31を放電し、31の信号をラッチ回路に取り込めば良いので、サイクル時間の1/2の時間は1.27nsと小さい。すなわち、本発明の回路により約30%のサイクル時間の短縮が達成される。

【0057】図7は本発明の他の実施例を示している。図1の回路では、第1マッチ線31の信号を、クロックインバータ回路306でラッチ回路307、308に取り込む例を示したが、図7の回路は、インバータ回路（PMOS205、NMOS107、119とクロック信号をゲート電極に加えたトランスファPMOS263、NMOS108で第1マッチ線31の信号をラッチ回路307、308に取り込むよう働く。また、図1のCAMセル304による第1マッチ線31の放電を高速化するために、インバータ回路PMOS205、NMOS107、119の出力信号をゲート電極に加えたNMOS117、およびNMOS118により第1マッチ線31の電位を放電する。NMOS118のゲート電極は、ブリチャージのためにCLK3をゲート電極に加える。NMOS119の働きについて説明する。71には一定電圧（71とGND間の電圧）を印加する。カレントミラー回路として働くNMOS121により、NMOS119に流れる電流を71の電位で制御することができる。これにより、インバータ回路PMOS205、NMOS107、119の論理しきい値（インバータ回路の出力が“H”から“L”に変化する第1マッチ線31の電位）を、71の電位で制御することができる。インバータ回路PMOS205、NMOS107、119の論理しきい値を、必要なノイズマージンを保って、できる限り高く設定することで、インバータ回路PMOS205、NMOS107、119の出力が“L”から“H”に変化し始める第1マッチ線31の電位が高くなる。インバータ回路の出力が“L”から“H”に変化する第1マッチ線31の電位が高くなるので、CAMセル304により放電しなければならない第1マッチ線31の電荷の量も小さくなり高速化が達成される。その他の動作は図1の回路と同じなので、詳細な説明は省略する。

【0058】図7の回路の特徴は、第1マッチ線31の放電時に、NMOS117およびNMOS118、

ラッチにデータを取り込むインバータ回路PMOS 205, NMOS 107, 119により第1マッチ線31の電位に正帰還を加え高速化したこと、ラッチにデータを取り込むインバータ回路のNMOS 119の電流を制御することで、インバータ回路の論理しきい値を制御し、必要なノイズマージンを保ったまま論理しきい値をできる限り高く設定することで、高速化したことである。図7はインバータ回路とクロック信号をゲート電極に加えたトランスファMOSで第1マッチ線31の信号をラッチ回路に取り込む回路例を示しているが、図1の回路にも同様の高速化の手法が適用できる。

【0059】図8は本発明のヒット信号発生回路の実施例を、図9は図8の回路の動作波形を示している。図2の回路では、第2マッチ線34の信号を、クロックインバータ回路310でラッチ回路311, 312に取り込み、/CLK5に同期してダイナミック動作するNOR回路(PMOS 210, NMOS 112)でヒット信号60を発生する例を示したが、図8の回路は、高速化のためにNOR回路の共通ドレイン線59を階層化し、低消費電力化のためにNOR回路等をセルフリセット化した回路例を示している。図8の回路は、第2マッチ線34の信号をラッチ回路311, 312に取り込んだ信号57と、他のエントリ(行)の信号57に相当する信号のOR信号を85に出力する回路として働く。ヒットの場合には、85に“L”の信号が出力され、ヒット信号61は“L”となる。

【0060】図9に沿って図8の回路の動作を説明する。端子9には、/CLK5と同相(端子9と/CLK5の立ち下りのタイミングが同じ)のパルス幅の小さい内部のクロック信号を加える。374は81, 82にそれぞれ80, 83と同相で所定の時間遅れた信号を出力する遅延回路を表わしている。内部のクロック信号9、/CLK5が“H”、CLK3が“L”のとき、58, 84, 83, 82の電位は“L”、80, 81の電位は“H”となっている。PMOS 254がオンの状態なので、85は“H”となっている。CAMセルの記憶データとVAが一致するエントリ(行)があれば、図8の57かあるいは並列に接続された他のエントリ(行)の回路の57に相当する端子が“L”となっている。今、説明しているエントリのCAMセルの記憶データとVAが一致し、57の電位は“L”になっているとする。このとき、CAMセルの記憶データとVAが一致するエントリは一つしかないはずなので、他のエントリの57に相当する端子の電位は全て“H”となる。

【0061】CLK3が“L”から“H”に、内部のクロック信号9、/CLK5が“H”から“L”に変化すると、58の電位は、“L”から“H”に変化する。58が“L”から“H”に変化すると、NMOS 151がオンし、80が“L”となる。抵抗450はNMOS 151(およびNMOS 151に並列に接続される

NMOS)がオフの場合に80の電位を“H”に保つための素子で、その抵抗値は大きく設計されるので、抵抗450を流れる電流の値は小さい。ここで、80には他のエントリの回路のNMOS 151に相当するNMOSが接続されNOR回路を構成している。図8では他のエントリの回路のNMOS 151に相当するNMOSは省略して図示されている。また、80には総エントリ数の何分の一かのNMOS 151に相当するNMOSが接続される。

【0062】80が“L”となるので、PMOS 253がオンし、83が“H”に変化する。83が“H”となるので、NMOS 156がオンし、85が“L”となる。80と同様85には80によりブロック化された他のエントリの回路のNMOS 156に相当するNMOSが接続されNOR回路を構成している。図8では他のエントリのブロックのNMOS 156に相当するNMOSは省略して図示されている。また、85には総エントリのブロック数に等しい数のNMOS 156に相当するNMOSが接続される。

【0063】クロックインバータ回路376, 378, インバータ回路377は、85の信号をCLK3、/CLK5に同期して取り込むラッチ回路として働く。クロックインバータ回路376はCLK3が“H”、/CLK5が“L”のとき、85の信号に応答して信号を出力し(トランスベアレントの状態)、/CLK5が“H”、CLK3が“L”のとき、出力が高インピーダンスの状態(オベイクの状態)となる。逆に、クロックインバータ回路378はCLK3が“H”、/CLK5が“L”のとき出力が高インピーダンスの状態、/CLK5が“H”、CLK3が“L”のとき、61に応答して信号を出力するように働く。CLK3が“H”から“L”、/CLK5が“L”から“H”に変化すると、この376, 378, 377で構成されるラッチ回路により85の信号が61に記憶される。

【0064】一方、58が“L”から“H”に変化することで、58が“L”から“H”に変化した時刻からインバータ回路370, 371, 372, 373の遅延時間経過すると、84が“L”から“H”に変化する。84が“H”となるので、NMOS 153がオンとなり、58が“L”に戻る。ここで、図8のNMOS 153をインバータ回路370, 371, 372, 373の遅延信号84で駆動する回路形式を、自身の出力信号の変化を検出して待機状態の電位に出力電位を戻すという意味でセルフリセット回路と呼ぶこととする。84が“L”から“H”に変化する時刻には、内部のクロック信号9が“H”となるよう内部クロック信号9のパルス幅を設計することで、PMOS 250, 251, NMOS 153には貫通電流が流れないように設計できる。

【0065】58が“L”となると、58が“H”から“L”に変化した時刻からインバータ回路370, 37

1, 372, 373の遅延時間経過すると、84が“H”から“L”に変化し、NMOS 153がオフとなって待機状態に戻る。遅延回路374はインバータ回路370, 371, 372, 373と同じ働きをする遅延回路を表わしており、81, 82にそれぞれ所定の時間遅れた80, 83と同相の信号を発生する。そのために、80, 83の電位は、58の電位と同様に変化する。

【0066】例えば、80が“H”から“L”に変化した時刻から遅延回路374の遅延時間経過すると、81が“H”から“L”に変化し、80が“H”となる。また、83が“L”から“H”に変化した時刻から遅延回路374の遅延時間経過すると、82が“L”から“H”に変化し、83が“L”に戻る。58が“L”に戻る時刻と、81が“H”から“L”に変化する時刻をほぼ同じに設計しておくことで、81が“H”から“L”に変化するときには、PMOS 252がオン、NMOS 151がオフの状態となり、貫通電流はほとんど流れないように設計できる。80が“H”に戻る時刻と、82が“L”から“H”に変化する時刻をほぼ同じに設計しておくことで、82が“L”から“L”に変化するときには、PMOS 253がオフ、NMOS 155がオンの状態となり、上の例と同様貫通電流はほとんど流れないように設計できる。

【0067】上で説明したように、83の電位は遅延回路374の遅延時間によりCLK3、/CLK5とは無関係に83が“L”に戻るので、83の信号をCLK3、/CLK5に同期して61に伝達するために以下説明するようにラッチ回路390を設ける工夫がなされている。図8の390は83の電位が“L”に戻った後も、次にCLK3が“H”から“L”、/CLK5が“L”から“H”に変化するまで、85の信号を保持するラッチ回路として働く。83が“L”、85が“H”の状態から、83が“H”、85が“L”の状態となると、インバータ回路375の出力が“H”となり、NMOS 158がオンとなる。このときCLK3が“H”なので、PMOS 254はオフの状態、85の“L”の電位が保たれる。抵抗451はNMOS 158（およびNMOS 158に並列に接続されるNMOS）がオフの場合に85の電位を“H”に保つための素子で、その抵抗値は大きく設計されるので、451を流れる電流は小さく問題とならない。CLK3が“H”から“L”、/CLK5が“L”から“H”に変化し、376, 378, 377で構成されるラッチ回路に85の信号が記憶されると同時に、PMOS 254がオン、NMOS 159がオフとなり、85の電位が“H”に戻り待機状態となる（図9中実線の波形）。

【0068】CAMセルの記憶データとVAが一致するエントリ（行）がない場合（ミスヒットの場合）は、図8の57および並列に接続された他のエントリ（行）の

回路の57に相当する端子が全て“H”となっているので、58, 80, 83, 85の電位はそれぞれ“L”、“H”、“L”、“H”から変化せず61には“H”が出力される。CLK3が“L”となることで、ラッチ回路390のデータ85はサイクル毎に“H”にセット（リセット、プリチャージ）されるので、ラッチ回路390のデータは、内部のクロック信号9およびCLK3が“L”から“H”に、/CLK5が“H”から“L”に変化した時刻から85が“H”から“L”に変化するまでの遅延時間経過した後は正しいことが保証される。これにより単一の（相補でない）セルフリセット回路出力83の信号をラッチ回路390に取り込むことが可能となり、従来の相補なセルフリセット回路出力によりデータをラッチに取り込む方法では回路規模が大きくなりセルフリセット回路を適用できなかった部分にもセルフリセット回路が適用できるようになる。

【0069】図9の実線の波形は、周囲温度が低い、（MOSTランジスタの）ドレイン電流が大きい等の要因でCLK3、/CLK5の（CLK3の“L”から“H”、/CLK5の“H”から“L”への）変化から85の電位が変化するまでの遅延時間が、CLK3、/CLK5のパルス幅（CLK3が“H”、/CLK5が“L”の期間）に対して小さい場合の波形を示している。図9の破線は、周囲温度が高い、ドレイン電流が小さい等の要因でCLK3、/CLK5の変化から電位85が変化するまでの遅延時間が、CLK3、/CLK5のパルス幅よりわずかに小さい程度となった場合の波形を示している。図9の破線の波形の場合、CLK3が“H”から“L”、/CLK5が“L”から“H”に変化する時刻に、まだ、83の電位が“H”となっているので、PMOS 254, NMOS 156が同時にオンとなり、貫通電流が流れる。しかし、83の電位が“L”となった後は、NMOS 156がオフになるので、貫通電流は流れなくなり、PMOS 254により85がプリチャージされ85の電位は“H”となり、正常な動作が損なわれることはない。

【0070】また、図8の回路では、高速化のために以下の工夫がなされている。内部クロック信号9にはPMOS 250の入力容量しか接続しない。また、NMOS 153を駆動するインバータ回路370, 371, 372, 373の各インバータの入力容量（すなわちゲート幅）と負荷容量（すなわち次段の入力容量）の容量比を、例えば1:3あるいは1:5に設計することで、NMOS 153のゲート容量に対してインバータ回路370の入力容量は十分小さくできる。つまり58の放電の時定数を小さくするためにNMOS 153のゲート幅を大きく設計しても、58の容量の増加は小さくできる。NMOS 152は、内部クロック信号9が“H”のとき、58の電位を“L”に保つための素子として働き、NMOS 152のゲート幅は小さく設計される。

NMOS 152のゲート電位は、電流源500とNMOS 157で構成されるカレントミラー回路で供給する。これらのことから、内部のクロック信号9が、“H”から“L”に変化してから58が“L”から“H”に変化するまでの遅延時間が短縮される。またNMOS 150、154のゲート幅は小さく設計される。これによりPMOS 253とNMOS 154で構成されるインバータ回路の入力容量の大部分はPMOS 253のゲート容量となり、80が“H”から“L”に変化してから、83が“L”から“H”に変化するまでの遅延時間が短縮される。PMOS 252で80を“H”に充電し、NOR回路の入力58にはNMOS 151のゲート容量だけしか接続しないことから、80の立ち下がりが高速化される。遅延回路374をインバータ回路370、371、372、373と同様に構成することで、PMOS 252、NMOS 155のゲート容量に比べて遅延回路374の入力容量を十分小さく設計できるので、PMOS 252、NMOS 155のゲート容量による83の負荷容量の増加が小さいことは、既に説明した58の場合と同様である。

【0071】図8の回路の遅延回路として動作するインバータ回路370、371、372、373、および遅延回路374の効果について説明する。58の電位を“L”に戻すための素子NMOS 153をインバータ回路370、371、372、373で駆動することで、NMOS 153のゲート容量は、57が“L”で58が“L”から“H”に変化した場合しか充放電されない。NMOS 153および他のエントリ（行）のNMOS 153に相当するNMOSの数はエントリ（行）数に等しいが、その中で、CAMセルの記憶データとVAが一致する、すなわち57に相当する端子の電位が“L”となっているエントリ（行）の数は1エントリ（行）かあるいは零である。つまり、ゲート容量が充放電されるNMOS 153に相当するNMOSの数は高々1となる。これにより、NMOS 153および他のエントリ（行）のNMOS 153に相当するNMOSのゲート電極を共通のクロック信号で制御する場合（通常のダイナミック回路）に対して、この部分のゲート容量の充放電の電力は1/総エントリ（行）数に低減される。同様に、PMOS 252、NMOS 155のゲート容量も80、83の信号が変化した回路でのみ充放電されるので、ゲート容量の充放電の電力が1/回路数に低減される。

【0072】図8の回路のようにヒット信号61の発生回路をセルフリセット回路（インバータ回路370、371、372、373とNMOS 153の構成および遅延回路374とNMOS 155、PMOS 252の構成）とすることで、消費電力を低減できる理由をマッチ線のプリチャージ回路と比較しながら、さらに詳細に説明する。上の説明から明らかなように、図8の回路

はCAMセルの記憶データとVAが一致するエントリ（行）は、1エントリ（行）しかないことを利用して、ヒット信号発生回路の消費電力を低減している。一方、図1および図2に示したマッチ線を放電し各エントリ（行）の一致、不一致信号57を発生する回路では、全てのCAMセルの記憶データとVAの全ビットが不一致になる場合があるので、CAM回路の全ての第1マッチ線（31と他のエントリ、ブロックの31に相当するマッチ線）および全エントリ（行）の第2マッチ線（34と他のエントリの34に相当するマッチ線）が放電される場合がある。このため、マッチ線のプリチャージ回路（図1のPMOS 204、207）を、セルフリセット回路（31および34と同相の遅延信号でそれぞれPMOS 204、207のゲート電極を駆動する回路をこう呼ぶこととする）としても、最大になる場合（全てのマッチ線が放電される場合）の消費電力を低減することはできない。平均した場合、CAMセルの記憶データの各ビットとVA各ビットの不一致の数が大きくないときには、第1マッチ線のプリチャージ回路（図1のPMOS 204）を、セルフリセット回路（31と同相の遅延信号でPMOS 204のゲート電極を駆動する回路を指すこととする）とすると、CAM全体の中で放電される第1マッチ線の数は、第1マッチ線の総数より小さくなるので、平均電力の低減は達成される。これに対して、図8の回路には、CAMセルの記憶データとVAが一致するエントリ（行）は1エントリ（行）しかなく信号が変化する回路は必ず1回路しかないことから、必ず低電力化できる利点がある。

【0073】以上説明したように、図8の回路の特徴は、高速化のためにヒット信号を発生するNOR論理を階層化したこと、低消費電力化のために、CAMセルの記憶データとVAが一致するエントリは1エントリしかないことを利用してNOR回路およびインバータ回路をセルフリセット回路としたこと、システムのクロック信号CLK3、/CLK5とは無関係に、遅延回路の遅延時間により待機状態の電位に戻るセルフリセット回路の出力を、システムのクロック信号CLK3、/CLK5に同期して外部に取り出すために、セルフリセット回路の出力を記憶しシステムのクロック信号CLK3、/CLK5によりリセットされるラッチ回路を設けたこと、従来の相補なセルフリセット回路の出力によりラッチ回路にデータを取り込む方法に対して、単一のセルフリセット回路の出力信号をラッチ回路に取り込むようにし、回路規模を小さくしたことである。

【0074】図10の回路は、図8のラッチ回路390の他の実施例を示している。図8の回路の説明で述べたように、図8のラッチ回路390では、CLK3、/CLK5の（CLK3の“L”から“H”、/CLK5の“H”から“L”への）変化から85の電位が変化するまでの遅延時間が、CLK3、/CLK5のパルス幅

(CLK3が“H”、/CLK5が“L”の期間)と同じ程度の値となった場合、CLK3が“H”から“L”、/CLK5が“L”から“H”に変化する時刻に、まだ、83の電位が“H”となっているので、PMOS 254、NMOS156が同時にオンとなり貫通電流が流れる(図9の破線の波形)。図8のラッチ回路390は、もちろん正常に動作するが、図10の回路は、図8のラッチ回路390の貫通電流を流れないようにして、低電力化するために以下の工夫がなされている。

【0075】85の電位を“H”にブリチャージ(リセット)するPMOS 254にPMOS260を直列に接続し、PMOS 260のゲート電極を85の信号を所定の時間遅らせた信号62で駆動する。62の電位は85の電位からインバータ回路375、600、601、602の遅延時間だけ遅れて変化する。図8の遅延回路374の遅延時間とインバータ回路375、600、601、602の遅延時間がほぼ等しくなるように設計する。この遅延時間をここでは仮にインバータ回路4段の遅延時間と呼ぶこととする。83の電位が“L”から“H”に変化した時刻から、インバータ回路4段の遅延時間経過すると、図8の82が“H”になりNMOS 155で83を放電する時定数だけ遅れて83の電位が“L”に戻る。一方、83の電位が“L”から“H”に変化した時刻から、NMOS 156で85を放電する時定数だけ経過すると85が“L”になる。NMOS 156で85を放電する時定数とNMOS 155で83を放電する時定数がほぼ等しく、またその時定数がインバータ回路1段程度の時間とすると、85が“H”から“L”に変化した時刻からインバータ回路4段の遅延時間は83の電位は“L”になっている。

【0076】図10の回路では、85が“H”から“L”に変化した時刻から、インバータ回路4段の遅延時間は62の電位が“L”となっているので、PMOS 260はオフの状態となっている。このため、85のブリチャージ(リセット)のためにCLK3を“H”から“L”としてもPMOS 254、NMOS 156を通して貫通電流が流れることはない。62の電位が“H”から“L”となった後に85の電位が“H”にブリチャージ(リセット)される。PMOS 254、NMOS 156に貫通電流が流れないようにをPMOS 260をPMOS254に直列に接続し、PMOS 260に85と同相の遅延信号を加えること以外は図8の回路と同じなので詳細な動作の説明および図8の回路と重複する発明の効果の説明は省略する。62の信号が、CLK3が“H”から“L”となる時刻より前に“L”となった場合には、CLK3が“H”から“L”となった時刻に85の電位が“H”にブリチャージ(リセット)される。

【0077】以上説明したように、図10のラッチ回路

の特徴は、ラッチ回路のデータ85をリセットするPMOS 254にPMOS 260を直列に接続し、PMOS 260のゲート電極をラッチ回路のデータ85の信号を所定の時間遅らせた同相の信号62で駆動することで、ラッチ回路のデータのリセット時にも貫通電流が流れない特性を実現したことである。

【0078】図11の回路は、図8のラッチ回路390の他の実施例を示している。図8、図10にはセルフリセット回路の出力83を記憶するラッチのデータ(図8、図10の85)をクロック信号CLK3あるいは、ラッチのデータ(図8、図10の85)の遅延信号(図10の62)でリセットすることで、ラッチのデータをサイクル毎にリセットし、ラッチ回路(図8の390あるいは図10の回路)のデータが、CLK3が“L”から“H”に、/CLK5が“H”から“L”に変化した時刻から85が“H”から“L”に変化するまでの遅延時間経過した後は正しいことを保証し、単一のセルフリセット回路出力83の信号をラッチ回路(図8の390あるいは図10の回路)に取り込むことを可能とした回路例を示した。一方、図11の回路は、CLK3が“L”から“H”に、/CLK5が“H”から“L”に変化した時刻から85が“H”から“L”に変化するまでの遅延時間と同じ電源電圧、温度、製造バラツキ依存性を持つ遅延回路605で、電源電圧、温度、製造バラツキにより基準クロックとの位相差が変化する内部のクロック信号90、91を発生し、内部クロック信号90、91により単一のセルフリセット回路出力83の信号をラッチ回路603、604に取り込む回路の例を示している。

【0079】図12の波形図に従って図11の回路の動作を説明する。CAMセルの記憶データとVAが一致するエントリ(行)がある場合、CLK3を“L”から“H”、/CLK5を“H”から“L”とすると、図8の電位83が“L”から“H”となり、電位83が“L”から“H”に変化した時刻から遅延回路374の遅延時間程度経過して電位83が“H”から“L”となる。電位83が“L”から“H”に変化すると、NMOS 156がオンし、85が“L”となる。85が“H”から“L”となった時刻から遅延回路375、600、601、602の遅延時間経過すると電位62が“H”から“L”となり、PMOS 260がオンし、85が“H”に戻る。

【0080】図8、図10の回路は85の電位をラッチ回路で保持したが、図11の回路では、NMOS 156、PMOS 260、遅延回路375、600、601、602で構成されるNOR回路は通常のセルフリセット回路として働き電位85は遅延回路375、600、601、602の遅延時間以上は保持されない。そのかわりに、85が“L”となっている期間に、内部クロック信号90を、“H”から“L”に、91を“L”か

ら“H”に変化させて、信号85を603、604で構成されるラッチ回路に記憶する。PMOS 261、NMOS 182およびNMOS 183で構成されるクロックインバータ回路、インバータ回路603、604、トランスファMOS 184、262は、内部クロック信号90、91により制御される点を除いて、図1のラッチ回路と同じなので、動作の詳細な説明は省略する。

【0081】85が“L”となっている期間に、内部クロック信号90を、“H”から“L”に、91を“L”から“H”に変化させることで、90が“H”、91が“L”となるまで、信号85を取り込んだ93の電位が保持される(図12の実線の波形)。上の説明(および図12)では、85の“L”の信号を取り込む場合の動作を述べたが、CAMセルの記憶データとVAが一致するエントリ(行)がない場合(ミスヒットの場合)にも、85が“L”となっている場合と同じ時刻(仮にヒットし85が“H”から“L”さらに“H”に変化したとするときの85が“L”になっている時刻)に、90を“H”から“L”に、91を“L”から“H”に変化させることで、85の“H”の信号を93に取り込める。この信号93を、クロックインバータ回路376、378、インバータ回路377で構成されるラッチ回路に取り込む。クロックインバータ回路376、378、インバータ回路377で構成されるラッチ回路は、 CLK5 、 CLK3 で制御される。クロックインバータ回路376、378、インバータ回路377で構成されるラッチ回路は、 CLK5 、 CLK3 がそれぞれ“L”、“H”のときトランスペアレントの状態、 CLK5 、 CLK3 がそれぞれ“H”、“L”のときオベイクの状態となるよう働く。376、378、377は図8の回路と同じなので動作の説明は省略する。

【0082】90、91は CLK5 、 CLK3 を遅らせて発生するので、90、91がそれぞれ“L”、“H”の期間と、 CLK5 、 CLK3 がそれぞれ“L”、“H”の期間は等しい。また、90、91の CLK5 、 CLK3 からの遅延時間は、 CLK5 、 CLK3 から85、93までの遅延時間と同じ電源電圧、温度、製造バラツキ依存性を持つよう遅延回路605を設計する。このため、 CLK5 、 CLK3 から85、93までの遅延時間が大きくなる条件では、90が“H”から“L”に、91が“L”から“H”に変化する時刻も大きくなり、85が“L”になっている期間に、90が“H”から“L”に、91が“L”から“H”とすることができる。90、91がそれぞれ“L”、“H”の期間と、 CLK5 、 CLK3 がそれぞれ“L”、“H”の期間は等しいので、 CLK5 、 CLK3 がそれぞれ“H”から“L”、“L”から“H”に変化してから、85が“H”から“L”に変化するまでの遅延時間が最大となる条件でも、85が“H”から“L”に変

化し、93が“L”から“H”に変化した後に、 CLK5 、 CLK3 がそれぞれ“L”から“H”、“H”から“L”に変化するように設計することで、 CLK5 、 CLK3 から85、93までの遅延時間に依らず安定に信号93をラッチ回路376、378、377に取り込むことができる(図12の破線の波形)。

【0083】このように、図11のラッチ回路の特徴は、 CLK5 、 CLK3 に同期して動作するラッチ回路376、378、377と、セルフリセット回路の出力85と同じ遅延時間の電源電圧、温度、製造バラツキ依存性を持つ内部クロック信号90、91に同期して動作するラッチ回路603、604を組合せることで、セルフリセット回路の出力85の遅延時間の変動によらず安定にシステムのクロック信号 CLK5 、 CLK3 に同期して外部にデータを取り出せる特性を実現したことにある。

【0084】

【発明の効果】本発明によれば、高周波動作可能なCAM回路を実現できるので、高性能マイクロプロセッサのフルアソシアティブTLB回路の高速化が可能となる。

【0085】本発明のマッチ線信号のラッチ回路によれば、簡単な回路でマッチ線の放電動作、ブリチャージ動作、ヒット信号の発生をバイブライン動作させることができる。

【0086】さらに、本発明のCAMセルによれば、マッチ線の容量を低減することでマッチ線の放電を高速化できる。

【0087】本発明のヒット信号の発生回路によれば、ヒット信号の発生回路での消費電力を、高速性を損なうことなく、低減することができる。

【0088】本発明のラッチ回路によれば、相補な信号を用いなくとも、セルフリセット回路の出力を外部のクロック信号に同期して取り出すことができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す連想メモリの回路図。

【図2】本発明の実施例を示す連想メモリの回路図。

【図3】図1の回路の動作波形図。

【図4】本発明の回路の連想メモリセルを示す回路図。

【図5】本発明の回路図1のデータ線駆動回路図。

【図6】本発明の効果を示す説明図。

【図7】本発明の他の実施例を示すマッチ線のラッチ回路図。

【図8】本発明のヒット信号発生回路図。

【図9】図8の回路の動作波形図。

【図10】本発明の他の実施例を示すヒット信号発生回路のラッチ回路図。

【図11】本発明の他の実施例を示すヒット信号発生回路のラッチ回路図。

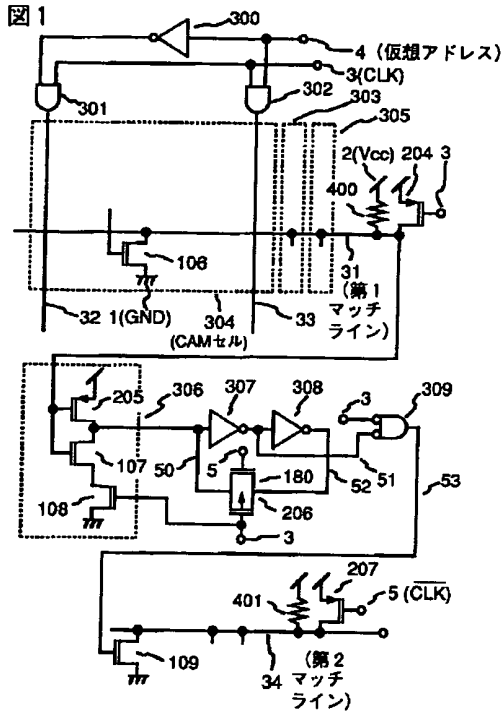
【図12】図11の回路の動作波形図。

【符号の説明】

27

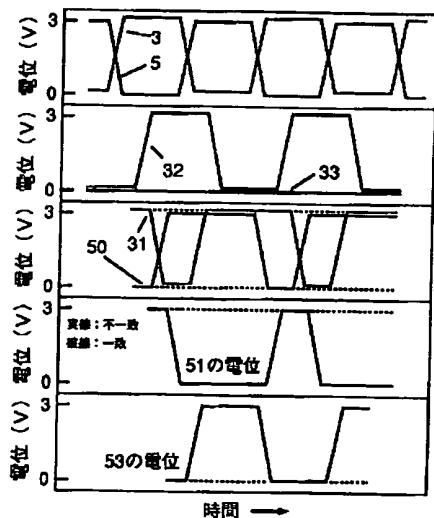
1…GND端子、3、5…クロック信号、4…仮想アドレス信号、32、33…データ線、34…第二階層マッチ線、50、51、52、53…回路内部の節点、100番台…NMOSTランジスタ、200番台…PMOSランジスタ、300、307、308…インバータ回*

【図1】



【図3】

図3

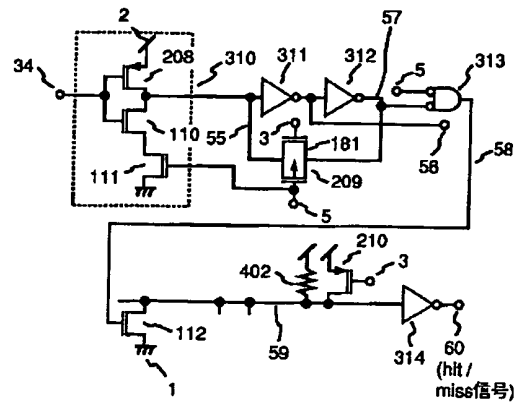


28

*路、301、302…2入力AND回路、309…2入力NOR回路、303、304、305…CAMセル回路、306…クロックインバータ回路、400番台…抵抗。

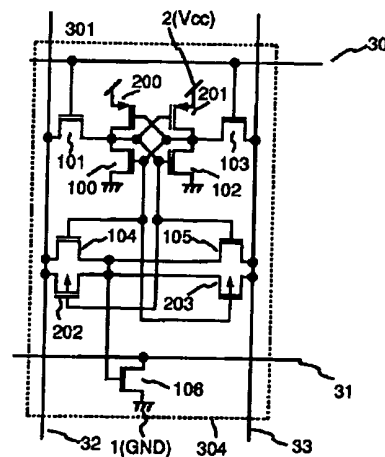
【図2】

図2



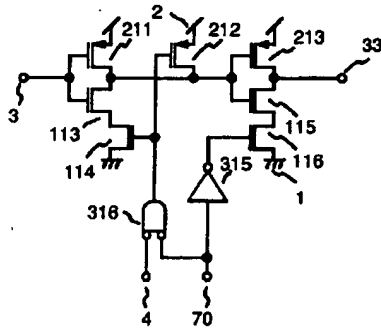
【図4】

図4



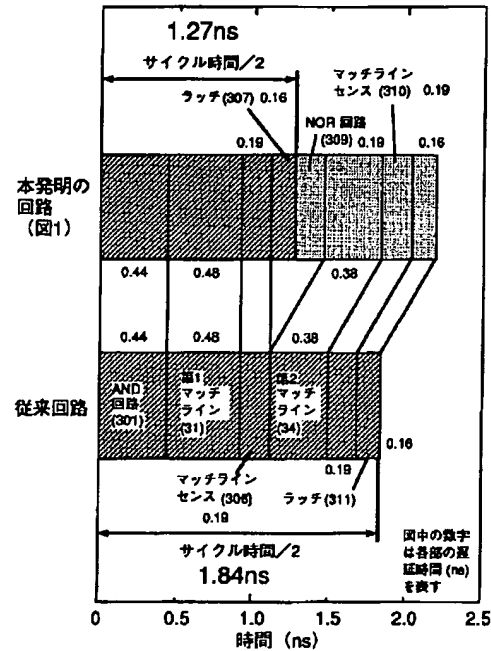
【図5】

図5



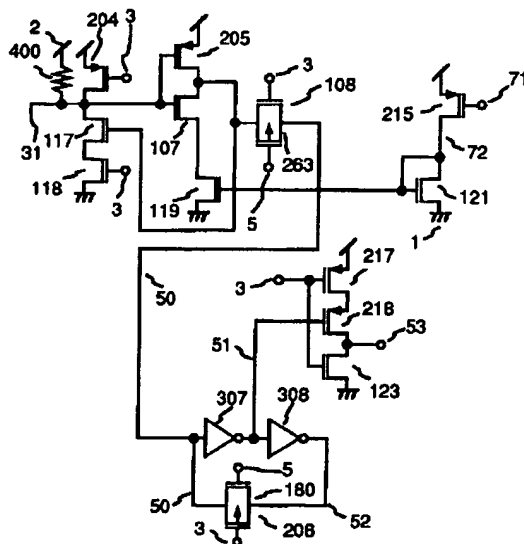
【図6】

図6



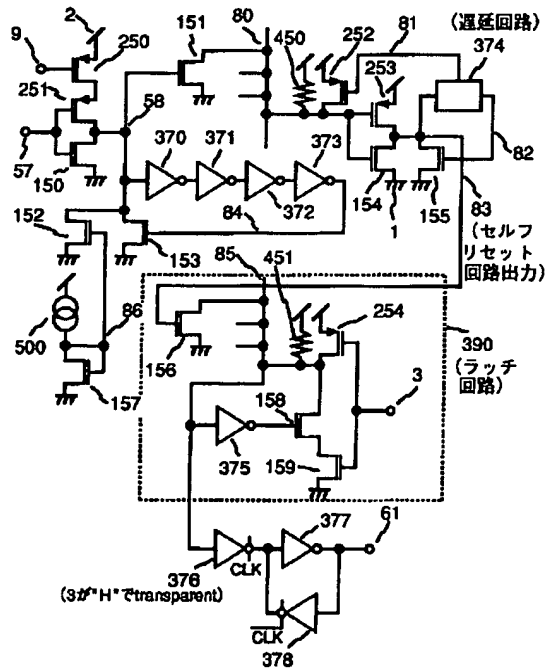
【図7】

図7



【図8】

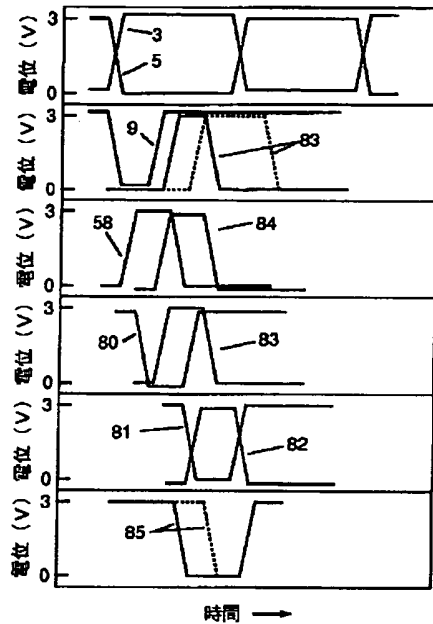
図8



【図9】

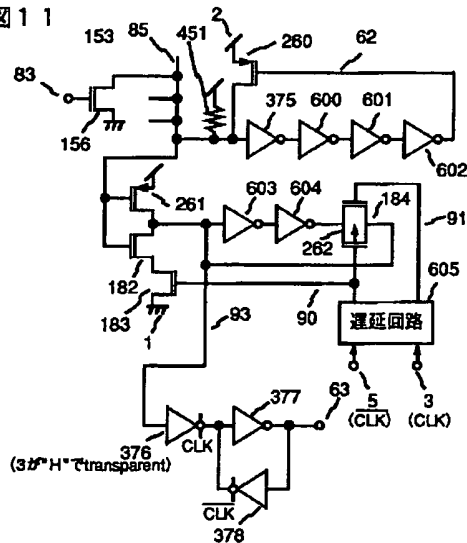
図9

実線：低温、ドレイン電流大
 破線：高温、ドレイン電流小



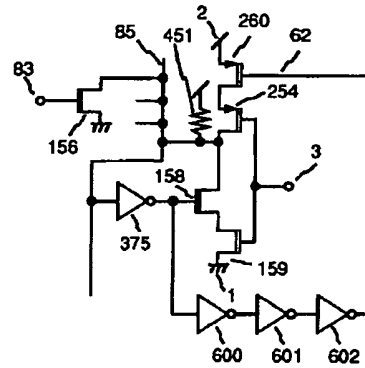
【図11】

図11



【図10】

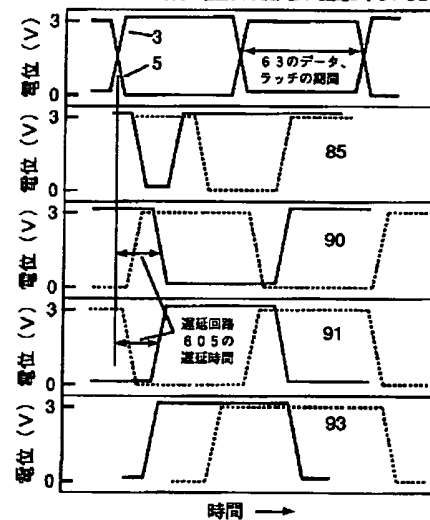
図10



【図12】

図12

破線：高温、低電源電圧（遅延が大きい場合）
 実線：低温、高電源電圧（遅延が小さい場合）



フロントページの続き

(72)発明者 樋口 久幸
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内

(72)発明者 新保 利信

(18)

特開平 7-282587

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 中込 儀延
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

THIS PAGE BLANK (USPTO)